

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0078527
Application Number

출원년월일 : 2002년 12월 10일
Date of Application DEC 10, 2002

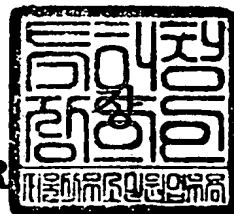
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.10
【발명의 명칭】	반도체 기억장치의 퓨즈 박스및 그 제조방법
【발명의 영문명칭】	A FUSE BOX OF A SEMICONDUCTOR DEVICE AND A FABRICATION METHOD THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	김현철
【성명의 영문표기】	KIM, HYUN CHUL
【주민등록번호】	690521-1169319
【우편번호】	138-240
【주소】	서울특별시 송파구 신천동 17-6 미성아파트 9-601
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	26 면 26,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	28 항 1,005,000 원
【합계】	1,060,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 기억장치의 퓨즈박스 및 그 제조방법을 제공한다. 상기 퓨즈박스는 퓨즈 영역을 갖는 반도체 기판과, 상기 퓨즈 영역내의 상기 반도체 기판상에 배치되고 제 1 영역 및 제 2 영역을 갖는 하부배선을 구비한다. 상기 하부배선의 상부에 상기 하부배선의 제 1 영역과 중첩되도록 상부배선이 배치된다. 상기 상부배선의 상부에 퓨즈가 배치되고 상기 퓨즈는 상기 하부배선의 상기 제 2 영역 및 상기 상부배선에 전기적으로 연결된다. 상기 하부배선 및 상부배선 사이에는 하부 층간 절연막이 게재되고, 상기 상부배선 및 상기 퓨즈 사이에는 상부 층간 절연막이 게재된다. 상기 퓨즈는 상기 상부 층간 절연막상에 형성된다. 상기 퓨즈의 양 단들은 각각 하부 층간절연막 및 상부 층간 절연막을 관통하는 콘택 홀 홀들을 통하여 상기 하부배선의 제 2 영역 및 상기 상부배선에 전기적으로 연결된다.

【대표도】

도 3d

【색인어】

퓨즈 박스(FUSE BOX), 셀 어레이(CELL ARRAY), 리페어(REPAIR), 퓨즈패드.

【명세서】**【발명의 명칭】**

반도체 기억장치의 퓨즈 박스및 그 제조방법 { A FUSE BOX OF A SEMICONDUCTOR
DEVICE AND A FABRICATION METHOD THEREOF }

【도면의 간단한 설명】

도 1a 는 종래 기술의 퓨즈 박스(FUSE BOX)를 나타낸 평면도.

도 1b 내지 도 1d 는 도 1a 의 I-I' 에 따라 취해진, 퓨즈 박스의 제조방법을 설명하기 위한 단면도들.

도 2a 는 본 발명의 실시예에 따른 퓨즈박스의 하부배선들및 제 1 콘택 홀들을 나타낸 평면도.

도 2b 는 도 2a 의 퓨즈박스에 상부배선들과 제 2 콘택 홀들및 플레이트 배선을 나타낸 평면도.

도 2c 는 도 2b 의 퓨즈박스에 퓨즈들과 제 2 콘택 홀들및 제 2 메탈배선을 나타낸 평면도.

도 2d 는 도 2c 의 퓨즈박스에 퓨즈들이 오픈된 창(窓)을 나타낸 평면도.

도 3a 내지 도 3d 는 도 2a 내지 도 2d 의 II-II' 에 따라 취해진, 본 발명의 실시예에 따른 퓨즈 박스의 제조방법을 설명하기 위한 단면도들.

도 3e 는 도 2a 내지 도 2d 의 II-II' 에 따라 취해진, 본 발명의 변형예에 따른 퓨즈 박스의 제조방법을 설명하기 위한 단면도.

도 3f 는 도 2a 내지 도 2d 의 $\Pi-\Pi'$ 에 따라 취해진, 본 발명의 다른 변형예에 따른 퓨즈 박스의 제조방법을 설명하기 위한 단면도.

(도면의 주요 부분들에 대한 부호의 설명)

100: 반도체 기판	101: 퓨즈 영역(FUSE REGION)
103: 게이트 폴리 실리콘막	106: WSi 막
109a, 109b: 하부배선	160, 170, 180: 퓨즈 박스
112: 제 1 절연막	115: 제 2 절연막
117: 하부 층간절연막	118a, 118b: 제 1 콘택 홀
121a, 121d: 상부배선	121b, 121c: 퓨즈 패드(PAD)
124: 제 3 절연막	125a, 125b: 퓨즈 홀
127, 127a, 127b: 플레이트 배선	127c, 127d, 127e, 127f: 퓨즈 패드
130, 130-1: 제 4 절연막	131: 상부 층간절연막
133a: 제 1 퓨즈 홀	133b: 제 2 퓨즈 홀
135a, 135b: 하부 메탈배선(퓨즈)	138, 138-1: 제 5 절연막
141, 141a, 141b: 제 2 콘택 홀	145a, 145b: 상부 메탈배선
147: 가드 링(GUARD RING)	148: 제 6 절연막
151: 창(窓)	

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <25> 본 발명은 반도체 기억장치 및 그 제조방법에 관한 것으로서, 특히 반도체 기억장치의 퓨즈박스 및 그 제조방법에 관한 것이다.
- <26> 반도체 기판에 형성된 반도체 기억장치들(칩들)은 어셈블리 공정 전에 전기적으로 테스트된다. 그 결과, 상기 반도체 기억장치들은 불량 칩들 또는 양호한 칩들로 분류된다. 상기 불량 칩들이 적어도 하나의 불량 셀에 의해 오동작하는 경우에, 상기 불량 셀은 리페어 공정을 사용하여 여분의 셀(REDUNDANT CELL)로 대체된다.
- <27> 상기 리페어 공정은 쓰기 모드 및 읽기 모드에서 상기 여분의 셀이 불량 셀의 어드레스(ADDRESS)를 갖도록 하기 위하여 소정의 퓨즈들을 커팅하는 레이저 빔 조사 단계를 포함한다.
- <28> 상기 퓨즈들은 일반적으로 데이터가 전송되는 비트라인들과 동시에 형성된다. 또한, 상기 비트라인들은 통상적으로 금속배선들의 하부에 형성된다. 특히, 디램과 같은 반도체 기억장치는 상기 금속배선들 및 상기 비트라인들 사이에 셀 커패시터들이 게재된다. 이에 따라서, 상기 퓨즈들의 상부에 적층되는 층간 절연막들의 총 두께는 1 μ m 보다 클 수 있다.
- <29> 도 1a 는 종래 기술의 퓨즈 박스(FUSE BOX)를 나타낸 평면도이다.
- <30> 도 1a 를 참조하면, 퓨즈 박스(60)는 일렬로 배열된 소정 개수의 퓨즈(15)들과, 상기 퓨즈 박스(60)의 영역을 구분짓도록 플레이트 배선(25)과 콘택 홀(CONTACT, 40)과

상부 메탈 배선(45)으로 형성된 가드 링(GUARD RING, 47)및 상기 퓨즈박스(60)에 형성된 창(窓, 55)으로 이루어진다.

<31> 상기 퓨즈 박스(60)는 상기 퓨즈(15)들을 오픈하기 위해서 창(窓, 55)을 갖는데 이는 공정적으로 반도체 기판에 증착된 다층 절연막들(도면에 미 도시)과 플레이트 배선(25)으로 이루어진 다층 구조를 식각하기 위한 창(窓, 55)이다.

<32> 그러나, 반도체 기억장치의 집적도가 증가함에 따라, 상기 퓨즈(15)들 사이의 간격들은 점점 감소하고 있다. 이 경우에, 선택된 하나의 퓨즈(15)를 레이저 빔 (LASER BEAM, 도면에 미 도시)을 사용하여 커팅할때에 인접한 다른 퓨즈(15)들이 손상될 수 있다. 이러한 문제점을 해결하기 위해서는 퓨즈(15)의 피치를 증가시켜야 한다.

<33> 결과적으로, 퓨즈(15)들이 배열된 퓨즈 박스(60)가 차지하는 면적이 증가되어 반도체 기억장치의 집적도를 증가시키는데 제약이 따른다.

<34> 도 1b 내지 도 1d 는 도 1a 의 I-I' 에 따라 취해진 종래의 퓨즈 박스의 제조방법을 설명하기 위한 단면도들이다.

<35> 도 1b 및 도 1c 를 참조하면, 반도체 기판(5) 상에 제 1 절연막(10)을 형성하고, 상기 제 1 절연막(10)의 소정영역 상에 서로 평행한 복수개의 퓨즈(15)들을 형성한다. 상기 퓨즈(15)들은 셀 어레이 영역내의 비트라인들(도면에 미 도시)과 동일한 도전막으로 형성된다. 상기 퓨즈(15)들은 통상적으로 텅스텐 폴리사이드막으로 형성된다. 이어서, 상기 퓨즈(15)들을 포함하는 반도체 기판의 전면상에 제 2 절연막(20)을 형성한다. 상기 제 2 절연막 상에 도전막 패턴들(25a, 25b)을 형성 한다. 상기 도전막 패턴들(25a, 25b)은 상기 셀 어레이 영역내의 플레이트 전극(도면에 미 도시)과 동일한 도전막

으로 형성된다. 따라서, 상기 도전막 패턴들(25a, 25b)은 도우핑된 폴리실리콘막으로 형성된다. 상기 도전막 패턴들(25a, 25b)은 평면적으로 보여질 때에 상기 퓨즈(15)들의 소정 영역들을 둘러싸는 퓨즈영역을 한정하는 도 1a 에 환형의 도전막(25)인 제 1 도전막 패턴(25a), 및 상기 제 1 도전막 패턴(25a)과 분리되어 상기 퓨즈영역을 덮는 제 2 도전막 패턴(25b)을 포함한다.

<36> 상기 도전막 패턴들(25a, 25b)을 갖는 상기 반도체 기판(5)의 전면상에 제 3 절연막(30) 및 제 4 절연막(35)을 차례로 형성한다. 상기 제 4 절연막(35) 및 제 3 절연막(30)을 연속적으로 패터닝하여 상기 제 1 도전막 패턴(25a)을 노출시키는 환형의 콘택 홀(40)을 형성한다. 계속해서, 상기 콘택 홀(40)을 갖는 상기 반도체 기판(5)상에 상기 콘택 홀(40)을 덮는 환형의 상부 메탈배선(45)을 형성한다. 상기 상부 메탈배선(45)은 상기 콘택 홀(40)을 통하여 상기 제 1 도전막 패턴(25a)과 전기적으로 연결될 수 있다. 상기 제 1 도전막 패턴(25a) 및 상기 상부 메탈배선(45)은 도 1a 에 보여진 가드링(47)을 구성한다. 상기 가드링(47)을 갖는 상기 반도체 기판(5)의 전면상에 패시베이션막과 같은 제 5 절연막(50)을 형성한다. 상기 제 5 절연막(50)은 적어도 하나의 층을 포함할 수 있다. 결과적으로, 상기 퓨즈(15)들상에 여러개의 절연막들이 적층되어 레이저 빔(LASER BEAM)을 사용하여 상기 퓨즈(5)들을 커팅하는 것을 어렵게 만든다.

<37> 도 1d 를 참조하면, 상기 제 5 절연막(50), 제 4 절연막(35), 제 3 절연막(30), 제 2 도전막 패턴(25b) 및 제 2 절연막(20)을 연속적으로 패터닝하여 상기 가드링(47)내에 오픈된 창(55)을 형성한다. 이에 따라, 상기 퓨즈(15)들의 소정영역들상에 레이저 빔(LASER BEAM)의 에너지가 전달될 수 있는 적절한 두께의 절연막이 잔존한다. 그럼에도 불구하고, 상기 퓨즈(15)들상에 잔존하는 절연막의 두께는 상기 반도체 기판(5)의 전체

에 걸쳐서 불균일할 수 있다. 이는, 상기 창(55)을 형성하기 위한 식각공정이 상기 반도체 기판(5)의 전체에 걸쳐서 불균일한 식각률을 보일수 있기 때문이다. 특히, 상기 제 2 내지 제 5 절연막(20, 30, 35, 50)들의 전체 두께가 두꺼울수록 상기 식각률은 더욱 불균일할 수 있다. 따라서, 상기 반도체 기판(5)의 전체에 걸쳐서 상기 퓨즈(15)들 상에 균일한 두께를 갖는 상기 제 2 절연막(20)을 잔존시키는 것이 어렵다. 그 결과, 성공적인 리페어(REPAIR) 공정을 달성하기가 어렵다.

<38> 한편, 미국공개특허공보 제 2002/0014680 호(U.S LAID-OPEN PATENT No. 2002/0014680)에 의해 " 반도체 장치 및 그 제조방법(SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME) " 이라는 제목으로 이사오 토토리(ISAO TOTTORI)에 의해 퓨즈들 및 그 형성방법이 개시된 바있다.

<39> 상기 미국공개특허공보 제 2002/0014680 호에 따르면, 반도체 기억장치의 퓨즈박스 내 형성된 상기 메탈 퓨즈는 게이트의 소오스과 드레인(SOURCE, DRAIN) 영역과 접촉되어 반도체 기판에서부터 레이저 커팅(CUTTING)이 될 퓨즈까지 모두 메탈 배선들로 이루어진다.

<40> 상기 메탈 배선들은 텅스텐(W)들과 알루미늄(AL)들의 접촉을 통해서 이루어지며, 상기 퓨즈 커팅은 반도체 기억장치에 인가된 전류(CURRENT)를 통해서 이루어진다 .

<41> 상기 전류의 이용은 기존의 레이저 빔(LASER BEAM)에 대한 인접 퓨즈의 어택과 상기 퓨즈 커팅시에 상기 퓨즈의 상부로 절연막 두께가 컨트롤되지 않아서 끊어지지 않는 경우를 방지할 수 있다.

<42> 그러나, 상기 메탈 배선으로 상기 퓨즈의 구성은 상기 반도체 기억장치의 제조 원가를 높일 수 있고, 상기 메탈들과 상기 반도체 기판과의 직접적인 접촉은 상기 반도체 기억장치에 금속 오염의 가능성을 높여서 상기 반도체 기억장치의 퍼포먼스를 저하시킬 수 있다.

【발명이 이루고자 하는 기술적 과제】

<43> 본 발명이 이루고자 하는 기술적 과제는 레이저 커팅의 균일도를 개선시키기에 적합한 반도체 기억장치의 퓨즈박스를 제공하는데 있다.

<44> 본 발명이 이루고자 하는 다른 기술적 과제는 퓨즈상에 잔존하는 절연막의 두께를 균일하게 제어할 수 있는 반도체 기억장치의 퓨즈박스 제조방법을 제공하는데 있다.

<45> 본 발명이 이루고자 하는 또 다른 기술적 과제는 퓨즈가 차지하는 면적을 최소화시킬 수 있는 반도체 기억장치의 퓨즈박스 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<46> 상기 기술적인 과제를 구현하기 위하여 본 발명은 반도체 기억장치의 퓨즈 박스를 제공한다.

<47> 본 발명의 일 양태에 따르면, 상기 퓨즈박스는 퓨즈영역을 갖는 반도체 기판과, 상기 퓨즈영역내의 상기 반도체 기판 상에 배치되고 제 1 영역 및 제 2 영역을 갖는 하부 배선을 포함한다. 상기 하부배선의 상부에 상기 하부배선의 상기 제 1 영역과 중첩되도록 상부배선이 배치된다. 또한, 상기 상부배선의 상부에 퓨즈가 배치된다. 상기 퓨즈는 상기 하부배선의 상기 제 2 영역 및 상기 상부배선에 전기적으로 연결된다.

- <48> 상기 퓨즈는 메탈 배선으로 배치하고, 상기 하부 및 상부 배선은 상기 퓨즈 영역내에서 외부로 동일한 방향을 향하도록 연장하는 것이 바람직하다.
- <49> 상기 퓨즈박스는 상기 하부배선및 상기 상부배선 사이에 하부 층간절연막을 개재하고, 상기 상부배선 및 상기 퓨즈 사이에 개재된 상부 층간절연막을 더 포함하는 것이 바람직하다.
- <50> 상기 퓨즈의 일 단은 상기 상부 층간절연막을 관통하는 제 1 퓨즈 콘택홀을 통하여 상기 상부배선에 전기적으로 연결되고, 상기 퓨즈의 타 단은 상기 상부 층간절연막 및 상기 하부 층간절연막을 관통하는 제 2 퓨즈 콘택 홀을 통하여 상기 상부배선의 제 2 영역에 전기적으로 연결되는 것이 바람직하다.
- <51> 이와는 달리, 상기 퓨즈박스는 상기 하부 층간절연막의 소정영역을 관통하여 상기 하부배선의 제 2 영역과 접촉하는 퓨즈패드를 더 포함할 수도 있다. 이 경우에 상기 퓨즈의 일 단은 상기 상부 층간절연막을 관통하는 제 1 퓨즈 콘택 홀을 통하여 상기 상부 배선에 전기적으로 연결된다. 상기 퓨즈의 타 단은 상기 상부 층간절연막을 관통하는 제 2 퓨즈 콘택 홀을 통하여 상기 퓨즈 패드에 전기적으로 연결되는 것이 바람직하다.
- <52> 그리고, 상기 퓨즈박스는 상기 상부배선과 상기 퓨즈패드의 상부에 형성되어 분리된 플레이트 배선들과 플레이트 패드들을 더 포함할 수 있다. 이 경우에 상기 퓨즈의 일 단은 상기 플레이트 패드들 중에 선택된 하나와 상기 상부배선에 접촉되고 상기 퓨즈의 타 단은 상기 플레이트 패드들 중에 선택된 다른 하나와 상기 상부배선및 상기 하부배선에 전기적으로 연결할 수 있다.

<53> 상기 퓨즈 패드는 상기 하부 충전절연막 상에 상기 상부배선과 이격되고 상기 상부 배선과 동일한 막이고, 상기 플레이트 패드들은 상기 상부 충전절연막 상에 상기 플레이트 배선들과 이격되고 상기 플레이트 배선들과 동일한 막인 것이 바람직하다.

<54> 본 발명의 다른 양태에 따르면, 상기 퓨즈박스는 퓨즈 영역을 갖는 반도체 기판과, 상기 퓨즈영역내의 일측 및 타측에 각각 배치된 제 1 및 제 2 그룹의 평행한 하부배선들을 포함한다. 상기 제 1 그룹의 하부배선들의 각각은 상기 퓨즈영역의 가장자리에 인접한 제 1 영역 및 상기 퓨즈영역의 중심에 가까운 제 2 영역을 가지면서 상기 퓨즈영역의 외부를 향하여 연장된다. 또한, 상기 제 2 그룹의 하부배선들은 상기 제 1 그룹의 하부배선들의 연장선들 상에 위치한다. 상기 제 2 그룹의 하부배선들의 각각은 상기 퓨즈영역의 가장자리에 인접한 제 1 영역 및 상기 퓨즈영역의 중심에 가까운 제 2 영역을 가지면서 상기 퓨즈영역의 외부를 향하여 연장된다. 상기 제 1 그룹의 하부배선들의 상부에 상기 제 1 그룹의 하부배선들의 상기 제 1 영역들과 중첩되도록 제 1 그룹의 상부배선들이 배치된다. 이와 마찬가지로, 상기 제 2 그룹의 하부배선들의 상부에 상기 제 2 그룹의 하부배선들의 상기 제 1 영역들과 중첩되도록 제 2 그룹의 상부배선들이 배치된다. 상기 제 1 그룹의 상부배선들의 상부에 제 1 그룹의 퓨즈들이 배치된다. 상기 제 1 그룹의 퓨즈들의 각각은 그 하부에 위치하는 상기 제 1 그룹의 하부배선의 제 2 영역 및 상기 제 1 그룹의 상부배선에 전기적으로 접속된다. 또한, 상기 제 2 그룹의 상부배선들의 상부에 제 2 그룹의 퓨즈들이 배치된다. 상기 제 2 그룹의 퓨즈들의 각각은 그 하부에 위치하는 상기 제 2 그룹의 하부배선의 제 2 영역 및 상기 제 2 그룹의 상부배선에 전기적으로 접속한다.

- <55> 상기 제 1 내지 제 2 그룹의 퓨즈들은 메탈 배선들로 배치하고, 상기 제 1 그룹의 하부 및 상부배선들 각각은 상기 퓨즈영역내의 일 측에서 외부로 동일한 방향을 향하도록 연장하는 것이 바람직하다.
- <56> 상기 제 2 그룹의 하부 및 상부배선들 각각은 상기 퓨즈영역내의 타 측에서 상기 제 1 그룹의 하부 및 상부배선들 각각과 반대방향으로 향하도록 연장하는 것이 바람직하다.
- <57> 상기 퓨즈박스는 상기 제 1 내지 제 2 그룹의 하부배선들과 상기 제 1 내지 제 2 그룹의 상부배선들 사이에 하부 층간 절연막을 개재하고, 상기 제 1 내지 제 2 그룹의 상부배선들 및 상기 제 1 내지 제 2 그룹의 퓨즈들 사이에 개재된 상부 층간절연막을 더 포함하는 것이 바람직하다.
- <58> 상기 제 1 내지 제 2 그룹의 퓨즈들의 일 단들은 상기 상부 층간절연막을 관통하는 제 1 퓨즈 콘택 홀들을 통하여 상기 제 1 내지 제 2 그룹의 상부배선들에 전기적으로 연결되고, 상기 제 1 내지 제 2 그룹의 퓨즈들의 타 단은 상기 상부 층간절연막 및 상기 하부 층간절연막을 관통하는 제 2 퓨즈 홀들을 통하여 상기 하부배선들의 제 2 영역들에 전기적으로 연결되는 것이 바람직하다.
- <59> 이와는 달리, 상기 퓨즈박스는 상기 하부 층간절연막의 소정영역을 관통하여 상기 제 1 내지 제 2 그룹의 하부배선들의 제 2 영역들과 접촉하는 퓨즈패드들을 더 포함할 수도 있다. 이 경우에 상기 제 1 내지 제 2 그룹의 퓨즈들의 일 단들은 상기 상부 층간절연막을 관통하는 상기 제 1 퓨즈 콘택 홀들을 통하여 상기 제 1 내지 제 2 그룹의 상부배선들에 전기적으로 연결되고 상기 제 1 내지 제 2 그룹의 퓨즈들의 타 단들은 상기

상부 층간절연막을 관통하는 제 2 퓨즈 콘택 홀들을 통하여 상기 퓨즈 패드들에 전기적으로 연결되는 것이 바람직하다.

<60> 그리고, 상기 퓨즈박스는 상기 제 1그룹과 제 2 그룹의 상부배선들 각각의 상부와 상기 퓨즈패드들 각각의 상부에 분리되어 형성된 플레이트 배선들과 플레이트 패드들을 더 포함할 수 있다. 이 경우에 상기 제 1 그룹의 퓨즈들 각각의 일 단은 상기 플레이트 패드들 중에 선택된 하나와 상기 제 1 그룹의 상부배선들 각각에 접촉되고 상기 제 1 그룹의 퓨즈들 각각의 타 단은 상기 플레이트 패드들 중에 선택된 다른 하나와 상기 퓨즈 패드들 각각 및 상기 하부배선들 각각에 전기적으로 연결할 수 있다.

<61> 또한, 상기 퓨즈박스에서 상기 제 2 그룹의 퓨즈들 각각의 일 단은 상기 플레이트 패드들 중에 선택된 하나와 상기 제 2 그룹의 상부배선들 각각에 접촉되고 상기 제 2 그룹의 퓨즈들 각각의 타 단은 상기 플레이트 패드들 중에 선택된 다른 하나와 상기 퓨즈 패드들 각각 및 상기 하부배선들 각각에 전기적으로 연결할 수 있다.

<62> 상기 퓨즈패드들 각각은 상기 하부 층간절연막 상에 상기 제 1 그룹과 제 2 그룹의 상부배선들 각각과 이격되고 상기 제 1 그룹과 제 2 그룹의 상부배선들과 동일한 막이고, 상기 플레이트 패드들 각각은 상기 상부 층간절연막 상에 상기 플레이트 배선들 각각과 이격되고 상기 플레이트 배선들 각각과 동일한 막인 것이 바람직하다.

<63> 상기 기술적인 과제를 구현하기 위하여 본 발명은 반도체 기억장치의 퓨즈 박스의 제조방법을 제공한다.

<64> 본 발명의 일 양태에 따르면, 상기 퓨즈 박스의 제조방법은 퓨즈영역을 갖는 반도체 기판을 준비하는 것과, 상기 반도체 기판상에 상기 퓨즈영역내로 연장된 하부배선을

형성하는 것을 포함한다. 상기 하부배선을 포함하는 반도체 기판의 전면상에 하부 층간 절연막을 형성한다. 상기 하부 층간절연막 상에 상기 퓨즈영역내로 연장되고 상기 하부 배선과 중첩된 상부배선을 형성한다. 상기 상부배선을 포함하는 반도체 기판의 전면상에 상부 층간절연막을 형성한다. 이어서, 상기 상부 층간절연막 상에 상기 퓨즈영역내의 상기 하부 및 상부 배선들과 전기적으로 연결된 퓨즈를 형성한다.

<65> 그리고, 상기 퓨즈박스의 제조방법은 상기 하부 층간절연막에 제 1 콘택 홀을 형성하여 상기 하부배선의 소정부분을 노출한다. 상기 하부 층간절연막상에 상기 상부배선과 이격되고 상기 제 1 콘택 홀을 채우는 퓨즈 패드를 형성한다. 상기 상부 층간절연막상에 상기 퓨즈를 상기 상부배선과 상기 퓨즈 패드에 전기적으로 연결하는 것을 더 포함하는 것이 바람직하다.

<66> 상기 소정부분은 퓨즈 영역의 중심에 가까운 영역에 형성하고, 상기 퓨즈는 레이저 빔이 조사되어 커팅되는 것이 바람직하다.

<67> 본 발명의 다른 양태에 따르면, 상기 퓨즈 박스의 제조방법은 퓨즈 영역을 갖는 반도체 기판을 준비하는 것과, 상기 퓨즈영역내의 일 측에 제 1 그룹의 평행한 하부배선들을 형성함과 동시에 상기 퓨즈영역내의 타측에 상기 제 1 그룹의 하부배선들의 연장선들 상에 위치하는 제 2 그룹의 평행한 하부배선들을 형성하는 것과, 상기 제 1 및 제 2 그룹의 하부배선들의 각각은 상기 퓨즈영역의 가장자리에 인접한 제 1 영역 및 상기 퓨즈 영역의 중심에 가까운 제 2 영역을 갖는 것을 포함한다. 상기 제 1 및 제 2 그룹의 하부 배선들을 갖는 반도체 기판의 전면상에 하부 층간절연막을 형성한다. 상기 하부 층간절연막 상에 상기 제 1 그룹의 하부배선들의 제 1 영역과 중첩되는 제 1 그룹의 평행한 상부배선들 및 상기 제 2 그룹의 하부배선들의 제 1 영역들과 중첩된 제 2 그룹의 상부배

선들을 형성한다. 상기 제 1 및 제 2 그룹의 상부배선들을 갖는 반도체 기판의 전면상에 상부 층간절연막을 형성한다. 이어서, 상기 상부 층간절연막 상에 상기 제 1 그룹의 하부배선들과 중첩되는 제 1 그룹의 퓨즈들 및 상기 제 2 그룹의 하부배선들과 중첩되는 제 2 그룹의 퓨즈들을 형성한다. 상기 제 1 그룹의 퓨즈들의 각각의 양 단은 각각 그 하부에 위치하는 상기 제 1 그룹의 상부배선 및 상기 제 1 그룹의 하부배선에 전기적으로 연결된다. 상기 제 2 그룹의 퓨즈들의 각각의 양 단들은 각각 그 하부에 위치하는 상기 제 2 그룹의 상부배선 및 상기 제 2 그룹의 하부배선에 전기적으로 연결된다.

<68> 그리고, 상기 퓨즈박스 제조방법은 상기 하부 층간절연막에 제 1 콘택 홀을 형성하여 상기 제 1 그룹과 제 2 그룹의 하부배선의 소정부분들을 노출하고, 상기 하부 층간절연막상에 상기 제 1 그룹과 제 2 그룹의 상부배선들과 이격되고 상기 제 1 콘택 홀을 채우는 퓨즈 패드들을 형성하는 것이 바람직하다.

<69> 또한, 상기 퓨즈박스 제조방법은 상기 상부 층간절연막상에 상기 제 1 그룹과 제 2 그룹의 퓨즈들을 상기 제 1 그룹과 제 2 그룹의 상부배선들과 상기 퓨즈 패드들에 전기적으로 연결하는 것을 더 포함하는 것이 바람직하다.

<70> 상기 소정부분들은 상기 퓨즈 영역의 중심에 가까운 영역들로 형성하고, 상기 제 1 그룹과 제 2 그룹의 퓨즈들은 레이저 빔이 조사되어 커팅되는 것이 바람직하다.

<71> 이하, 본 발명의 반도체 기억장치의 퓨즈 박스 및 그 형성 방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

- <72> 도 2a 내지 도 2d 는 본 발명의 바람직한 실시예에 따른 퓨즈박스의 평면도들이고 또한, 도 2a 는 본 발명의 실시예에 따른 퓨즈박스의 하부배선들 및 제 1 콘택 홀들을 나타낸 평면도이다.
- <73> 도 2a 를 참조하면, 퓨즈 영역의 일 측(C)으로부터 하나의 하부배선(109a)을 퓨즈 영역(101)내로 연장시켜서 상기 퓨즈 영역(101)의 상기 일 측(C)을 가로지르는 소정 개수로 된 제 1 그룹의 하부배선(109a)들을 배치시키고, 상기 퓨즈 영역(101)의 일 측(C)과 마주보는 상기 퓨즈 영역(101)의 타측(D)으로부터 다른 하나의 하부배선(109b)을 퓨즈 영역(101)내로 연장시켜서 상기 퓨즈 영역(101)의 타측(D)을 가로지르는 소정 개수로 된 제 2 그룹의 하부배선(109b)들을 배치시킨다.
- <74> 또한, 상기 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들 상면에는 제 1 콘택 홀(118a, 118b)들이 형성되며, 상기 제 1 콘택 홀(118a, 118b)들은 상기 퓨즈 영역(101)의 중심에 가까운 영역들에 형성시킨다.
- <75> 그리고, 상기 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들은 각각이 제 1 영역(A)과 제 2 영역(B)으로 구분되어진다.
- <76> 도 2b 는 도 2a 의 퓨즈박스에 상부배선들과 제 2 콘택 홀들 및 플레이트 배선을 나타낸 평면도이다.
- <77> 도 2b 를 참조하면, 퓨즈 영역(101)의 일 측(C)에 제 1 그룹의 하부배선(109a)들의 어레이(ARRAY) 상에서 상기 제 1 그룹의 하부배선(109a)들에 중첩되는 제 1 그룹의 상부배선(121a)들과 퓨즈패드(121b)들을 배치하여 상기 퓨즈 패드(121b)들을 제 1 콘택 홀(118a)들과 접촉시키고 또한, 동시에 퓨즈 영역(101)의 타 측(D)에 제 2 그룹의 하부

배선(109b)들의 어레이(ARRAY) 상에서 상기 제 2 그룹의 하부배선(109b)들에 중첩되는 제 2 그룹의 상부배선(121d)들과 퓨즈패드(121c)들을 배치하여 상기 퓨즈 패드(121c)들을 제 1 콘택 홀(118b)들과 접촉시킨다.

<78> 상기 퓨즈 영역(101)을 둘러싸는 플레이트 배선(127)을 배치시키고, 상기 제 1 그룹과 제 2 그룹의 상부배선(121a, 121d)들의 상부면들과 상기 퓨즈 패드(121b, 121c)들의 상부면들에 제 1 퓨즈 홀과 제 2 퓨즈 홀(133a, 133b)들을 배치시킨다.

<79> 상기 제 1 퓨즈 홀과 제 2 퓨즈 홀(133a, 133b)들은 상기 퓨즈 영역(101)의 중심에 가까운 영역들과 상기 퓨즈 영역(101)의 근처 영역들에 배치시켜서 상기 제 1 그룹과 제 2 그룹의 상부배선(121a, 121d)들과 상기 퓨즈 패드(121b, 121c)들과 접촉되도록 한다.

<80> 즉, 상기 제 1 그룹과 제 2 그룹의 상부배선(121a, 121d)들의 각각은 상기 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들 각각의 제 1 영역(A)에 중첩되고, 상기 퓨즈 패드(121b, 121c)들의 각각은 상기 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들 각각의 제 2 영역(B)에 있는 제 1 콘택 홀(118a, 118b)들 각각의 상부면에 중첩되게 배치시킨다.

<81> 상기 제 1 그룹과 제 2 그룹의 상부배선(121a, 121d)들은 상기 플레이트 배선(127)의 하부에 놓이도록 하여 퓨즈배선(도면에 미 도시)에 대한 노드(NODE)로 사용하고, 상기 플레이트 배선(127)은 가드 링(GUARD RING, 도면에 미 도시)을 형성할 위치를 지정해 준다.

- <82> 상기 가드링은 상기 퓨즈 영역(101)을 통하여 습기(HUME)를 포함한 외부의 오염원이 침투하는 것을 인위적으로 막기위한 버퍼(BUFFER) 막이다.
- <83> 도 2c 는 도 2b 의 퓨즈박스에 퓨즈들과 제 2 콘택 홀들및 제 2 메탈 배선을 나타낸 평면도이다.
- <84> 도 2c 를 참조하면, 퓨즈 영역(101)의 일 측(C) 및 타 측(D)에 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들, 제 1 콘택 홀(118a, 118b)들, 퓨즈패드(121b, 121c)들, 제 1 그룹과 제 2 그룹의 상부배선(121a, 121d)들, 제 1 퓨즈 홀과 제 2 퓨즈 홀(133a, 133b)들로 이루어진 어레이(ARRAY)에서 하부 메탈 배선들은 상기 제 1 내지 제 2 퓨즈 홀(133a, 133b)들을 통하여 상기 제 1 내지 제 2 그룹의 상부배선(121a, 121d)들과 상기 퓨즈패드(121b, 121c)들에 접촉하여 제 1 내지 제 2 그룹의 퓨즈(135a, 135b)들을 형성시킨다.
- <85> 따라서, 상기 제 1 그룹과 제 2 그룹의 퓨즈(135a, 135b)들은 상기 제 1 콘택 홀(118a, 118b)들, 상기 제 1 내지 제 2 퓨즈 홀(133a, 133b)들을 통하여 상기 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들과 상기 제 1 그룹과 제 2 그룹의 상부배선(121a, 121-1)들 및 상기 퓨즈패드(121b, 121c)들에 전기적으로 연결되어진다.
- <86> 또한, 상기 퓨즈 영역(101)을 에워싸는 플레이트 배선(127)상에 제 2 콘택 홀(141)형성과 상기 제 2 콘택 홀(141)에 상부 메탈 배선(145)을 형성하여 가드링(147)을 배치시킨다.

- <87> 상기 제 2 콘택 홀(141)은 상기 플레이트 배선(127)보다 작은 폭으로 하여 상기 플레이트 배선(127)을 따라서 형성시키고, 상기 상부 메탈배선(145)은 상기 제 2 콘택 홀(141)보다 큰 폭으로 하여 상기 제 2 콘택 홀(141)을 따라서 형성시킨다.
- <88> 도 2d 는 도 2c 의 퓨즈박스에 퓨즈들이 오픈된 창(窓)을 나타낸 평면도이다.
- <89> 도 2d 를 참조하면, 도 2c 의 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들에 배치된 제 1 콘택 홀(118a, 118b)들, 제 1 그룹과 제 2 그룹의 상부배선(121a, 121d)들과 퓨즈 패드(121a, 121b)들에 배치된 제 1 퓨즈 홀과 제 2 퓨즈 홀(133a, 133b)들, 하부 메탈배선으로 형성된 제 1 그룹과 제 2 그룹의 퓨즈(135a, 135b)들, 플레이트 배선(127)에 형성된 제 2 콘택 홀(141) 및 상부 메탈 배선(145)을 배치하여 형성된 가드 링(GUARD RING, 147)을 구비한 퓨즈 박스(160)에서, 상기 상부 메탈배선(145)을 감싸는 오픈된 창(窓, 151)을 형성시킨다.
- <90> 상기 창(151)은 상기 제 1 그룹과 제 2 그룹의 퓨즈(135a, 135b)들을 공정적으로 오픈하기 위해서 상기 퓨즈영역(101)에 형성시킨 창(窓)이다.
- <91> 왜냐하면, 상기 창(151)은 레이저 빔(LASER BEAM, 도면에 미 도시)으로 상기 퓨즈들중에 선택된 하나 이상의 상기 제 1 그룹과 제 2 그룹의 퓨즈(135a, 135b)들이 커팅(CUTTING)되지 않을 우려를 불식(拂拭)시키기 위해서 형성시키는 것이다.
- <92> 또한, 본 발명의 반도체 장치의 다른 퓨즈박스는 상기 제 1 그룹과 제 2 그룹의 퓨즈(135a, 135b)들 각각은 상기 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들 각각의 제 2 영역(B)에서 상기 퓨즈패드(121b, 121c)들 각각에 접촉되지 않고 직접적으로 상기

제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들 각각의 제 2 영역에 접촉되게 할 수 있다.

<93> 따라서, 상기 제 1 그룹과 제 2 그룹의 퓨즈(135a, 135b)들 각각은 상기 제 1 그룹과 제 2 그룹의 하부배선들 각각의 제 1 영역(A)에서 상기 제 1 그룹과 제 2 그룹의 상부배선(121a, 121d)들 각각에 연결되고 또한, 상기 제 1 그룹과 제 2 그룹의 하부배선들 각각의 제 2 영역(B)에서 상기 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들 각각에 연결시켜진다.

<94> 이제, 본 발명의 바람직한 실시예에 따른 퓨즈박스의 제조방법을 설명하기로 한다.

<95> 도 3a 내지 도 3d 는 도 2a 내지 도 2d 를 II-II' 에 따라 취해진, 본 발명의 실시예에 따른 퓨즈 박스의 제조방법을 설명하기 위한 단면도들이다.

<96> 도 2a 및 도 3a 를 참조하면, 도 2a 의 퓨즈 영역(101) 내부와 외부에 배치된 패턴들을 형성하기 위해서 반도체 기판(100)상에 소정거리로 이격되고 제 1 영역(A)과 제 2 영역(B)을 갖는 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들, 상기 하부배선(109a, 109b)들과 상기 반도체 기판(100)상에 제 1 절연막(112)을 증착 및 식각하여 스페이서(SPACER)를 형성한다. 또한, 상기 제 1 절연막(112)과 상기 반도체 기판(100)에 제 2 절연막(115)을 증착시키고, 상기 제 1 내지 제 2 절연막(112, 115)에 제 1 콘택 홀(118a, 118b)들을 형성하여 상기 하부배선(109a, 109b)들의 제 2 영역(B)들을 일부 노출시킨다.

<97> 상기 하부배선(109a, 109b)들은 도 2a 의 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들중에 상기 퓨즈 영역(101)의 일 측(C)과 타 측(D)으로부터 각기 연장되어 서로 마주보는 선택된 한 쌍이다.

- <98> 즉, 상기 하부배선(109a)은 상기 퓨즈 영역(101)내에서 일측(C)의 외부로 향하도록 배치하고, 상기 하부배선(109b)은 상기 퓨즈 영역(101)내에서 타측(D)의 외부로 향하도록 배치하는 것이 바람직하다.
- <99> 이후로, 상기 제 1 내지 제 2 절연막(112, 115)을 통칭해서 하부 층간절연막(117)이라 명명한다.
- <100> 상기 하부배선(109a, 109b)들 각각은 게이트 폴리 실리콘막(103)과 텅스텐 실리사이드(WSi, 106) 막으로 이루어지거나 상기 게이트 폴리 실리콘막(103)을 포함한 다른 금속 실리사이드(METAL SILICIDE) 막으로 이루어질 수 있다.
- <101> 도 2b 및 도 3b 를 참조하면, 도 2b 의 퓨즈 영역(101) 내부, 외부에 배치된 패턴들을 형성하기 위해서 도 3a 의 결과물을 갖는 반도체 기판상에 제 1 그룹과 제 2 그룹의 상부배선(121a, 121d)들과 두 개의 퓨즈 패드(121b, 121c)들을 형성시키고, 상기 상부배선(121a, 121d)들과 퓨즈 패드(121b, 121c)들 및 제 2 절연막 상에 제 3 절연막(124)을 증착시킨다. 또한, 상기 제 3 절연막(124)에 플레이트 배선(127a, 127b)들을 형성시키고, 상기 제 3 절연막(124)과 상기 플레이트 배선(127a, 127b)들에 제 4 절연막(130)을 형성시킨다. 상기 제 3 내지 제 4 절연막(124, 130)에 네 개의 콘택 홀들을 형성시켜서 상기 상부배선(121a, 121d)들 각각의 상면을 노출시킨다.
- <102> 상기 퓨즈 패드(121b, 121c)들은 하부 배선(109a, 109b)들의 제 2 영역(B)들에서 제 1 내지 제 2 절연막(112, 115)을 관통하는 제 1 콘택 홀(118a, 118b)들을 통하여 상기 하부배선(109a, 109b)들과 연결된다.

- <103> 상기 상부배선(121a, 121d)들은 상기 하부배선(109a, 109b)들의 제 1 영역(A)에서 상기 하부배선(109a, 109b)들과 중첩되고, 상기 플레이트 배선(127a, 127b)들은 도 2b에의 플레이트 배선(127)을 $\Pi-\Pi'$ 로 절단한 단면을 보여주는 형태로서 도 2b와 같이 환형으로 된 일체이다.
- <104> 상기 네 개의 콘택 홀들은 도 2b에 퓨즈 영역(101)의 일 측(C)에서 상기 상부배선(121a, 121d)들중에 선택된 하나(121a)의 상면과 상기 퓨즈패드(121b, 121c)들중에 선택된 하나(121b)의 상면을 노출시켜서 제 1 퓨즈 홀(133a)을 형성하고 또한, 동시에 상기 퓨즈 영역(101)의 타 측(D)에서 상기 상부배선(121a, 121d)들중에 선택된 하나(121d)의 상면과 상기 퓨즈패드(121b, 121c)들중에 선택된 하나(121c)의 상면을 노출시켜서 제 2 퓨즈 홀(133b)을 형성시킨다.
- <105> 상기 상부배선(121a)과 상기 하부배선(109a)은 상기 퓨즈 영역(101)내에서 일측(C)의 외부로 향하도록 배치하고, 상기 상부배선(121d)과 상기 하부배선(109b)은 상기 퓨즈 영역(101)내에서 타측(D)의 외부로 향하도록 배치하는 것이 바람직하다.
- <106> 상기 상부배선(121)들 각각은 도핑된 폴리 실리콘막과 텅스텐 실리사이드 막으로 이루어지거나 상기 도핑된 폴리 실리콘막과 다른 금속 실리사이드 막으로 이루어질 수 있으며 또는, 텅스텐(W) 막으로도 형성되어질 수도 있다.
- <107> 상기 플레이트 배선(127)은 도핑된 폴리 실리콘막으로 형성되며 또한, 가드 링(GUARD RING, 도면에 미 도시)의 형성시에 지지판 역할을 해준다.
- <108> 도 2c 및 도 3c를 참조하면, 도 2c의 퓨즈 영역(101) 내부, 외부에 배치된 패턴들을 형성하기 위해서 도 3b의 결과물을 갖는 반도체 기판(100)상에 하부 메탈배선으로

제 1 퓨즈 홀과 제 2 퓨즈 홀(133a, 133b)을 매립하여 제 1 그룹과 제 2 그룹의 퓨즈(135a, 135b)들을 형성시키고, 상기 퓨즈(135a, 135b)들과 상기 제 4 절연막(130) 상에 제 5 절연막(138)을 증착시킨다. 또한, 상기 제 4 내지 제 5 절연막(130, 138)에 제 2 콘택 홀(141a, 141b)들을 관통하여 플레이트 배선(127a, 127b)들을 노출시키고, 상기 제 2 콘택 홀(141a, 141b)들을 상부 메탈배선(145a, 145b)으로 매립시켜서 도 2c 의 가드링(GUARD RING, 147)들을 형성시킨다.

<109> 상기 퓨즈 영역(101)의 일 측(C)에 형성된 퓨즈(135a)는 상기 제 1 퓨즈 홀(133a)의 양 단을 통해서 일 단은 상부배선(121a)에 접촉되어지고, 타 단은 퓨즈패드(121b)에 연결된다. 동일한 방식으로, 상기 퓨즈 영역(101)의 타 측(D)에 형성된 퓨즈(135b)는 상기 제 1 퓨즈 홀(133b)의 양 단을 통해서 일 단은 상부배선(121d)에 접촉되어지고, 타 단은 퓨즈패드(121c)에 연결된다.

<110> 따라서, 상기 퓨즈(135a, 135b)들 각각은 하부로 상기 제 1 또는 제 2 퓨즈 홀(133a, 133b)을 통하여 두 개의 도전막들(109a, 109b, 121a, 121b, 121c, 121d)과 회로(CIRCUIT)를 이루며, 상기 제 3 내지 제 4 절연막(124, 130)을 통칭하여 상부 층간 절연막(131)이라 명명한다.

<111> 도 2d 및 도 3d 를 참조하면, 도 2d 의 가드링(147) 내부, 외부에 배치된 패턴들을 형성하기 위해서 도 3c 의 결과물을 갖는 반도체 기판(100)의 전면으로 제 5 절연막(138) 상에 제 6 절연막(148)을 증착시키고, 상기 제 6 절연막(148)에 형성한 오픈된 창을 마스크(MASK)로 이용하여 상기 제 6 절연막(148)을 식각해서 상기 퓨즈(135a, 135b)들 상부로 소정 두께의 상기 제 5 절연막(138)을 형성시킨다.

- <112> 상기 제 6 절연막(148)은 하나 이상의 절연막들로 이루어질 수 있으며, 상기 창은 상기 퓨즈(135a, 135b)들과 상부 메탈배선(145a, 145b) 사이에 형성해서 상기 퓨즈(135a, 135b)들을 오픈한다.
- <113> 오픈(OPEN)의 의미는 상기 퓨즈(135a, 135b)들을 완전히 드러내는 것이 아니라 후속으로 수행될 레이저 빔(LASER BEAM, 도면에 미 도시)에 의한 어택(ATTACK)을 최소화하기 위해서 상기 제 5 절연막(138)을 소정 두께로 남기는 것이다.
- <114> 즉, 상기 제 5 절연막(138)은 레이저 빔으로 상기 퓨즈(135a, 135b)들중에 선택된 하나를 커팅(CUTTING)시에 상기 커팅된 퓨즈의 찌꺼기가 인접한 다른 퓨즈들에 튀는 것을 방지하기 위해서 소정 두께로 남기는 것이다.
- <115> 상기 창(151)은 도 2c 에 퓨즈영역(101) 근처에 형성시키고, 상기 퓨즈 영역(101)의 일 측(C)에서 하부배선(109a) 또는 상부배선(121a)으로 입력된 전기적 신호는 상기 퓨즈(135a)의 제 1 퓨즈 홀(133a)과 상기 퓨즈 패드(121b)를 통해서 상기 상부배선(121a) 또는 상기 하부배선(109a)으로 출력되어서 상기 전기적 신호에 대한 입력과 출력 방향이 모두 동일한 것이 특징이다.
- <116> 상기 전기적 신호에 대한 입력과 출력 방향의 동일성은 어레이(ARRAY) 형태로 도 2c 또는 도 2d 의 제 1 그룹과 제 2 그룹의 퓨즈(135a, 135b)들을 구성할 수 있게하며 또한, 상기 어레이 형태는 하나의 퓨즈 박스(160)내에 종래 기술대비 퓨즈 밀도의 증가와 반도체 기억장치에 형성되는 퓨즈 박스(160)의 개수를 감소시켜서 설계시에 회로 배선에 대한 레이아웃(LAYOUT) 공간을 많이 확보할 수 있게한다.

- <117> 따라서, 상기 퓨즈 박스(160)의 구조는 상기 가이드 링(147)에 하부로 빠져나가는 도 2d 의 제 1 그룹과 제 2 그룹의 하부배선(109a, 109b)들 각각의 단부와 제 1 그룹과 제 2 그룹의 상부배선(121a, 121d)들 각각의 단부에 상기 퓨즈 박스(160)의 주변 (PERIPHERAL) 회로들을 연결시키는 데에 상기 확보된 공간을 이용하여 종래 기술대비 여 유롭게 할 수 있게 해준다.
- <118> 도 3e 는 도 2a 내지 도 2d 의 II-II' 에 따라 취해진, 본 발명의 다른 실시예에 따른 퓨즈 박스의 제조방법을 설명하기 위한 단면도이다.
- <119> 도 2a 내지 2d 및 도 3e 를 참조하면, 도 3e 가 도 3d 와 다른 점은 도 3a 에 하부 배선(109a, 109b)들의 제 2 영역들을 노출시키는 제 1 콘택 홀(118a, 118b)들을 형성시키지 않으며, 도 2b 의 퓨즈 영역(101) 내부와 외부에 배치된 패턴들을 형성하기 위해서 도 3a 의 결과물을 갖는 반도체 기판(100)상에 퓨즈 패드들(121b, 121c)을 형성하지 않는다.
- <120> 또한, 나머지 도 2a 내지 도 2d 와 도 3a 내지 도 3d 에서 수행되어지는 공정들은 상기 도 3e 에 동일한 순서로 적용시키고, 각각의 패턴들에 대한 용도도 동일하여서 가능하면 같은 번호를 부여시킨다.
- <121> 즉, 본 발명의 실시예에 따른 다른 퓨즈 박스(170)의 퓨즈(135a, 135b)들은 도 3b 에 하부배선(109a, 109b)들의 제 2 영역(B)들에서 퓨즈패드(121b, 121c)들과 접촉되지 않으며, 일 예로서 상기 퓨즈영역(101)의 일 측(C)에 형성된 상기 퓨즈(135a)의 일 단은 상부배선(121a)에 접촉되고 상기 퓨즈(135a)의 타 단은 상기 하부배선(109a)의 제 2 영역(B)에 접촉된다.

- <122> 이를 통해서, 반도체 기판(100)에 제 1 절연막과 제 2 절연막(112, 115)으로 이루어진 하부 층간절연막(117)에는 제 1 콘택 홀(118a, 118b)들이 없기 때문에 공정 단순화를 이룰수 있다.
- <123> 따라서, 본 발명에 따른 퓨즈 박스들(160, 170)은 퓨즈의 재료로서 메탈을 이용하기 때문에 종래 기술대비 상기 퓨즈의 상부로 남기는 제 5 절연막(138)의 두께를 용이하게 컨트롤될 수 있게하는 장점을 가지고 있고, 상기 두께는 반도체 기판(100)내 또는 반도체 기판(100)들 간에 균일되게 컨트롤될 수 있다.
- <124> 도 3f 는 도 2a 내지 도 2d 의 II-II' 에 따라 취해진, 본 발명의 다른 변형예에 따른 퓨즈 박스의 제조방법을 설명하기 위한 단면도이다.
- <125> 도 2a 내지 2d 및 도 3f 를 참조하면, 도 3f 가 도 3d 와 다른 점은 도 3b 에 상부 배선(121a, 121d)들과 퓨즈패드(121b, 121c)들을 갖는 반도체 기판(100) 상에 제 3 절연막(124)을 증착하여 상기 상부배선(121a, 121d)들 각각의 상면과 상기 퓨즈패드(121b, 121c)들 각각의 상면에 패드 홀(125a, 125b)들을 형성시키고, 상기 패드 홀(125a, 125b)들을 채우고 상기 제 3 절연막(124) 상에 플레이트 배선(127a, 127b)들과 플레이트 패드(127c, 127d, 127e, 127f)들을 형성시킨다. 그리고, 상기 플레이트 패드(127c, 127d, 127e, 127f)들과 상기 플레이트 배선(127a, 127b)들및 상기 제 4 절연막(130)을 증착하여 상기 플레이트 패드(127c, 127d, 127e, 127f)들 각각의 상면에 제 1 퓨즈 홀과 제 2 퓨즈 홀(133a, 133b)들을 형성시킨다. 상기 제 1 퓨즈 홀과 제 2 퓨즈 홀(133a, 133b)들은 상부 메탈배선(145a, 145b)들로 채워져서 퓨즈(135a, 135b)들을 형성시킨다.

- <126> 또한, 나머지 도 2a 내지 도 2d 와 도 3a 내지 도 3d 에서 수행되어지는 공정들은 상기 도 3f 에 동일한 순서로 적용시키고, 각각의 패턴들에 대한 용도도 동일하여서 가능하면 같은 번호를 부여시킨다.
- <127> 상기 플레이트 패드(127c, 127d, 127e, 127f)들은 상기 플레이트 배선(127a, 127b)들과 함께 상기 제 3 절연막(124) 상에 형성시키고, 상기 플레이트 패드(127b, 127c, 127d, 127e)들은 퓨즈박스(180)내에 상기 제 1 퓨즈 홀과 제 2 퓨즈 홀(135a, 135b)들의 형성시 상기 제 4 절연막(130)의 식각을 용이하게 해준다.
- <128> 상기 퓨즈박스(180)는 도 2a 의 퓨즈 영역(101)의 일 측(C)에서 상기 퓨즈(135a)의 일 단을 하나의 플레이트 패드(127b)와 상기 상부배선(121a)에 전기적으로 연결시키고, 상기 퓨즈(135a)의 타 단을 다른 하나의 플레이트 패드(127c)와 퓨즈패드(121b)및 하부배선(109a)의 제 2 영역(B)에 연결시킨다. 또한, 상기 퓨즈박스(180)는 도 2a 의 퓨즈 영역(101)의 타 측(D)에서 상기 퓨즈(135b)의 일 단을 하나의 플레이트 패드(127d)와 퓨즈패드(121c) 및 하부배선(109b)의 제 2 영역(B)에 전기적으로 연결시키고, 상기 퓨즈(135b)의 타 단을 다른 하나의 플레이트 패드(127e)와 상부배선(121d)에 연결시킨다.
- <129> 또한, 상기 플레이트 패드(127c, 127d, 127e, 127f)들 각각은 상기 퓨즈 영역(101)의 일 측(C) 또는 타 측(D)에서 상부배선(121a, 121a)들 또는 퓨즈패드(121b, 121c)들중 각각의 선택된 하나와 연결되어서 상기 퓨즈(135a, 135b)들 각각의 배선으로 이용될 수 있다.
- <130> 따라서, 본 발명에 따른 퓨즈 박스(180)은 상기 퓨즈(135a, 135b)들에 전기적으로 연결되는 구성요소가 도전막으로 된 하부배선(109a, 109b)들과 상부배선(121a, 121d)들, 퓨즈패드(121b, 121c)들 및 플레이트 패드(127c, 127d, 127e, 127f)들로 이루어지고, 상

기 퓨즈(135a, 135b)들은 상기 구성요소들을 통하여 상기 퓨즈박스(180)의 외부에서 주변 회로(PERIPHERAL CIRCUIT)들과 여유롭게 연결될 수 있다.

【발명의 효과】

<131> 상술한 바와 같이, 본 발명은 제 1 메탈 배선으로 된 퓨즈의 하부 배선인 하부배선들과 상부배선들을 이용하여 반도체 기억장치의 퓨즈 박스를 형성하기 때문에 주변 회로들과의 배선에 대한 설계 레이아웃(LAYOUT) 능력과 반도체 기억장치에 대한 공정(PROCESS) 능력을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

퓨즈 영역을 갖는 반도체 기판;

상기 퓨즈 영역내의 상기 반도체 기판상에 배치되고 제 1 영역및 제 2 영역을 갖는 하부 배선;

상기 하부 배선의 상부에 상기 하부 배선의 상기 제 1 영역과 중첩되도록 배치된 상부 배선; 및

상기 상부 배선의 상부에 배치되고 상기 하부 배선의 상기 제 2 영역 및 상기 상부 배선에 전기적으로 연결된 퓨즈를 포함하는 반도체 기억장치의 퓨즈박스.

【청구항 2】

제 1 항에 있어서, 상기 퓨즈는 메탈 배선인 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 3】

제 1 항에 있어서, 상기 하부 및 상부 배선은 상기 퓨즈 영역내에서 외부로 동일한 방향을 향하도록 연장하는 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 4】

제 1 항에 있어서,

상기 하부배선및 상기 상부배선 사이에 개재된 하부 층간절연막; 및

상기 상부배선 및 상기 퓨즈 사이에 개재된 상부 층간절연막을 더 포함하는 것을 특징으로 하는 반도체 기억장치의 퓨즈박스.

【청구항 5】

제 4 항에 있어서,

상기 퓨즈의 일 단은 상기 상부 층간절연막을 관통하는 제 1 퓨즈 콘택홀을 통하여 상기 상부배선에 전기적으로 연결되고, 상기 퓨즈의 타 단은 상기 상부 층간절연막 및 상기 하부 층간절연막을 관통하는 제 2 퓨즈 콘택 홀을 통하여 상기 상부배선의 제 2 영역에 전기적으로 연결되는 것을 특징으로 하는 반도체 기억장치의 퓨즈박스.

【청구항 6】

제 4 항에 있어서,

상기 하부 층간절연막의 소정영역을 관통하여 상기 하부배선의 제 2 영역과 접촉하는 퓨즈패드를 더 포함하되, 상기 퓨즈의 일 단은 상기 상부 층간절연막을 관통하는 제 1 퓨즈 콘택 홀을 통하여 상기 상부배선에 전기적으로 연결되고 상기 퓨즈의 타 단은 상기 상부 층간절연막을 관통하는 제 2 퓨즈 콘택 홀을 통하여 상기 퓨즈 패드에 전기적으로 연결되는 것을 특징으로 하는 반도체 기억장치의 퓨즈박스.

【청구항 7】

제 4 항에 있어서,

상기 퓨즈박스는 상기 상부배선과 상기 퓨즈패드의 상부에 형성되어 분리된 플레이트 배선들과 플레이트 패드들을 더 포함하되, 상기 퓨즈의 일 단은 상기 플레이트 패드들중에 선택된 하나와 상기 상부배선에 접촉되고 상기 퓨즈의 타 단은 상기 플레이트 패드들중에 선택된 다른 하나와 상기 상부배선및 상기 하부배선의 제 2 영역에 전기적으로 연결되는 것을 특징으로 하는 반도체 기억장치의 퓨즈박스.

【청구항 8】

제 6 항에 있어서,

상기 퓨즈 패드는 상기 하부 층간절연막 상에 상기 상부배선과 이격되고 상기 상부 배선과 동일한 막인 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 9】

제 7 항에 있어서,

상기 플레이트 패드들은 상기 상부 층간절연막 상에 상기 플레이트 배선과 이격되고 상기 플레이트 패드와 동일한 막인 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 10】

퓨즈 영역을 갖는 반도체 기판;

상기 퓨즈 영역내의 일 측에 배치되고 그들의 각각은 상기 퓨즈 영역의 가장자리에 인접한 제 1 영역 및 상기 퓨즈 영역이 중심에 가까운 제 2 영역을 가지면서 상기 퓨즈 영역의 외부를 향하여 연장된 제 1 그룹의 평행한 하부배선들;

상기 퓨즈 영역내의 타 측에 상기 제 1 그룹의 하부배선들의 연장선들상에 위치하고 그들의 각각은 상기 퓨즈 영역의 가장자리에 인접한 제 1 영역 및 상기 퓨즈 영역의 중심에 가까운 제 2 영역을 가지면서 상기 퓨즈 영역의 외부를 향하여 연장된 제 2 그룹의 하부 배선들;

상기 제 1 그룹의 하부배선들의 상부에 상기 제 1 그룹의 하부 배선들의 상기 제 1 영역들과 중첩되도록 배치된 제 1 그룹의 상부 배선들;

상기 제 2 그룹의 하부 배선들의 상부에 상기 제 2 그룹의 하부 배선들의 상기 제 1 영역들과 중첩되도록 배치된 제 2 그룹의 상부배선들;

상기 제 1 그룹의 상부 배선들의 상부에 배치되고 그들의 각각은 그 하부에 위치하는 상기 제 1 그룹의 하부배선들의 각각의 상기 제 2 영역 및 상기 제 1 그룹의 상부 배선들의 각각에 전기적으로 접속된 제 1 그룹의 퓨즈들; 및

상기 제 2 그룹의 상부 배선들의 상부에 배치되고 그들의 각각은 그 하부에 위치하는 상기 제 2 그룹의 하부 배선들의 각각의 상기 제 2 영역 및 상기 제 2 그룹의 상부 배선들의 각각에 전기적으로 접속된 제 2 그룹의 퓨즈들을 포함하는 반도체 기억장치의 퓨즈박스.

【청구항 11】

제 10 항에 있어서, 상기 제 1 내지 제 2 그룹의 퓨즈들은 메탈 배선들인 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 12】

제 10 항에 있어서,

상기 제 1 그룹의 하부 및 상부배선들 각각은 상기 퓨즈영역내의 일 측에서 외부로 동일한 방향을 향하도록 연장하는 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 13】

제 10 항에 있어서,

상기 제 2 그룹의 하부 및 상부배선들 각각은 상기 퓨즈영역내의 타 측에서 상기 제 1 그룹의 하부 및 상부배선들 각각과 반대방향으로 향하도록 연장하는 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 14】

제 10 항에 있어서,

상기 제 1 내지 제 2 그룹의 하부배선들과 상기 제 1 내지 제 2 그룹의 상부배선들 사이에 개재된 하부 층간 절연막; 및

상기 제 1 내지 제 2 그룹의 상부배선들 및 상기 제 1 내지 제 2 그룹의 퓨즈들 사이에 개재된 상부 층간절연막을 더 포함하는 것을 특징으로 하는 반도체 기억장치의 퓨즈박스.

【청구항 15】

제 14 항에 있어서,

상기 제 1 내지 제 2 그룹의 퓨즈들의 일 단들은 상기 상부 층간절연막을 관통하는 제 1 퓨즈 콘택 홀들을 통하여 상기 제 1 내지 제 2 그룹의 상부배선들에 전기적으로 연결되고, 상기 제 1 내지 제 2 그룹의 퓨즈들의 타 단은 상기 상부 층간절연막 및 상기 하부 층간절연막을 관통하는 제 2 퓨즈 홀들을 통하여 상기 하부배선들의 제 2 영역들에 전기적으로 연결되는 것을 특징으로 하는 반도체 기억장치의 퓨즈박스.

【청구항 16】

제 14 항에 있어서,

상기 하부 충전절연막의 소정영역을 관통하여 상기 제 1 내지 제 2 그룹의 하부배선들의 제 2 영역들과 접촉하는 퓨즈패드들을 더 포함하되, 상기 제 1 내지 제 2 그룹의 퓨즈들의 일 단들은 상기 상부 충전절연막을 관통하는 상기 제 1 퓨즈 콘택 홀들을 통하여 상기 제 1 내지 제 2 그룹의 상부배선들에 전기적으로 연결되고 상기 제 1 내지 제 2 그룹의 퓨즈들의 타 단들은 상기 상부 충전절연막을 관통하는 제 2 퓨즈 콘택 홀들을 통하여 상기 퓨즈 패드들에 전기적으로 연결되는 것을 특징으로 하는 반도체 기억장치의 퓨즈박스.

【청구항 17】

제 14 항에 있어서,

상기 퓨즈박스는 상기 제 1 그룹과 제 2 그룹의 상부배선들 각각의 상부와 상기 퓨즈패드들 각각의 상부에 분리되어 형성된 플레이트 배선들과 플레이트 패드들을 더 포함하되, 상기 제 1 그룹의 퓨즈들 각각의 일 단은 상기 플레이트 패드들 중에 선택된 하나와 상기 제 1 그룹의 상부배선들 각각에 접촉되고 상기 제 1 그룹의 퓨즈들 각각의 타 단은 상기 플레이트 패드들 중에 선택된 다른 하나와 상기 퓨즈패드들 각각 및 상기 하부배선들 각각에 전기적으로 연결되는 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 18】

제 17 항에 있어서,

상기 제 2 그룹의 퓨즈들 각각의 일 단은 상기 플레이트 패드들 중에 선택된 하나와 상기 제 2 그룹의 상부배선들 각각에 접촉되고 상기 제 2 그룹의 퓨즈들 각각의 타

단은 상기 플레이트 패드들 중에 선택된 다른 하나와 상기 퓨즈 패드들 각각 및 상기 하부 배선들 각각에 전기적으로 연결되는 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 19】

제 16 항에 있어서,

상기 퓨즈패드들 각각은 상기 하부 층간절연막 상에 상기 제 1 그룹과 제 2 그룹의 상부 배선들 각각과 이격되고 상기 제 1 그룹과 제 2 그룹의 상부 배선들 각각과 동일한 막인 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 20】

제 17 항에 있어서,

상기 플레이트 패드들 각각은 상기 상부 층간절연막 상에 상기 플레이트 배선들 각각과 이격되고 상기 플레이트 배선들 각각과 동일한 막인 것이 특징인 반도체 기억장치의 퓨즈박스.

【청구항 21】

퓨즈 영역을 갖는 반도체 기판을 준비하고,

상기 반도체 기판상에 상기 퓨즈 영역내로 연장된 하부 배선을 형성하고,

상기 하부 배선을 포함하는 반도체 기판의 전면 상에 하부 층간절연막을 형성하고,

상기 하부 층간절연막상에 상기 퓨즈 영역내로 연장되고 상기 하부 배선과 중첩된 상부 배선을 형성하고,

상기 상부 배선을 포함하는 반도체 기판의 전면 상에 상부 층간절연막을 형성하고

상기 상부 층간절연막상에 상기 퓨즈 영역내의 상기 하부배선 및 상기 상부배선과 전기적으로 연결된 퓨즈를 형성하는 것을 포함하는 반도체 기억장치의 퓨즈박스 제조방법.

【청구항 22】

제 21 항에 있어서,

상기 하부 층간절연막에 제 1 콘택 홀을 형성하여 상기 하부배선의 소정부분을 노출하고,

상기 하부 층간절연막상에 상기 상부배선과 이격되고 상기 제 1 콘택 홀을 채우는 퓨즈 패드를 형성하고,

상기 상부 층간절연막상에 상기 퓨즈를 상기 상부배선과 상기 퓨즈 패드에 전기적으로 연결하는 것을 더 포함하는 반도체 기억장치의 퓨즈박스 제조방법.

【청구항 23】

제 22 항에 있어서, 상기 소정부분은 퓨즈 영역의 중심에 가까운 영역인 것이 특징인 반도체 기억장치의 퓨즈박스 제조방법.

【청구항 24】

제 21 항에 있어서, 상기 퓨즈는 레이저 빔이 조사되어 커팅되는 것이 특징인 반도체 기억장치의 퓨즈박스 제조방법.

【청구항 25】

퓨즈 영역을 갖는 반도체 기판을 준비하고,

상기 퓨즈영역내의 일 측에 제 1 그룹의 평행한 하부배선들을 형성함과 동시에 상기 퓨즈영역내의 타측에 상기 제 1 그룹의 하부배선들의 연장선들 상에 위치하는 제 2 그룹의 평행한 하부배선들을 형성하되, 상기 제 1 및 제 2 그룹의 하부배선들의 각각은 상기 퓨즈영역의 가장자리에 인접한 제 1 영역 및 상기 퓨즈영역의 중심에 가까운 제 2 영역을 갖고,

상기 제 1 및 제 2 그룹의 하부배선들을 갖는 반도체 기판의 전면상에 하부 층간절연막을 형성하고,

상기 하부 층간절연막 상에 상기 제 1 그룹의 하부배선들의 제 1 영역과 중첩되는 제 1 그룹의 평행한 상부배선들 및 상기 제 2 그룹의 하부배선들의 제 1 영역들과 중첩된 제 2 그룹의 상부배선들을 형성하고,

상기 제 1 및 제 2 그룹의 상부배선들을 갖는 반도체 기판의 전면상에 상부 층간절연막을 형성하고,

상기 상부 층간절연막 상에 상기 제 1 그룹의 하부배선들과 중첩되는 제 1 그룹의 퓨즈들 및 상기 제 2 그룹의 하부배선들과 중첩되는 제 2 그룹의 퓨즈들을 형성하는 것을 포함하되, 상기 제 1 그룹의 퓨즈들의 각각의 양 단은 각각 그 하부에 위치하는 상기 제 1 그룹의 상부배선 및 상기 제 1 그룹의 하부배선에 전기적으로 연결되고 상기 제 2 그룹의 퓨즈들의 각각의 양 단들은 각각 그 하부에 위치하는 상기 제 2 그룹의 상부배선 및 상기 제 2 그룹의 하부배선에 전기적으로 연결되는 것을 특징으로 하는 반도체 기억 장치의 퓨즈박스 제조방법.

【청구항 26】

상기 제 25 항에 있어서,

상기 하부 층간절연막에 제 1 콘택 홀을 형성하여 상기 제 1 그룹과 제 2 그룹의 하부배선의 소정부분들을 노출하고,

상기 하부 층간절연막상에 상기 제 1 그룹과 제 2 그룹의 상부배선들과 이격되고 상기 제 1 콘택 홀을 채우는 퓨즈 패드들을 형성하고,

상기 상부 층간절연막상에 상기 제 1 그룹과 제 2 그룹의 퓨즈들을 상기 제 1 그룹과 제 2 그룹의 상부배선들과 상기 퓨즈 패드들에 전기적으로 연결하는 것을 더 포함하는 반도체 기억장치의 퓨즈박스 제조방법.

【청구항 27】

제 26 항에 있어서, 상기 소정부분들은 상기 퓨즈 영역의 중심에 가까운 영역들인 것이 특징인 반도체 기억장치의 퓨즈박스 제조방법.

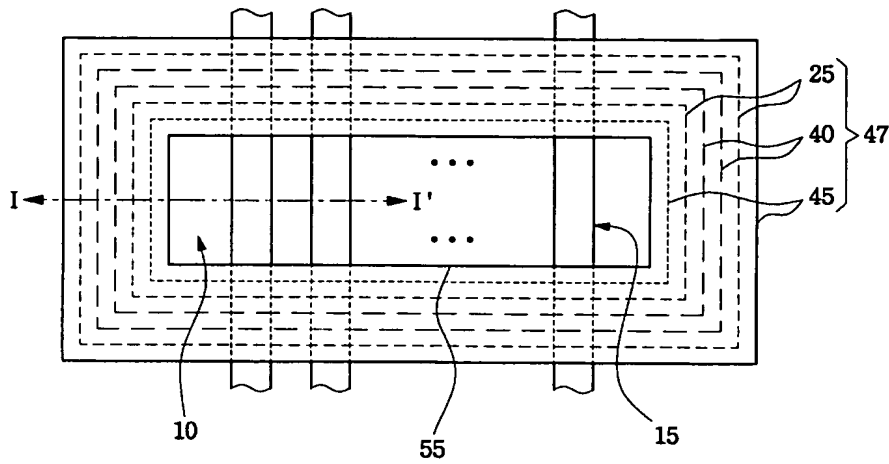
【청구항 28】

제 25 항에 있어서, 상기 제 1 그룹과 제 2 그룹의 퓨즈들은 레이저 빔이 조사되어 커팅되는 것이 특징인 반도체 기억장치의 퓨즈박스 제조방법.

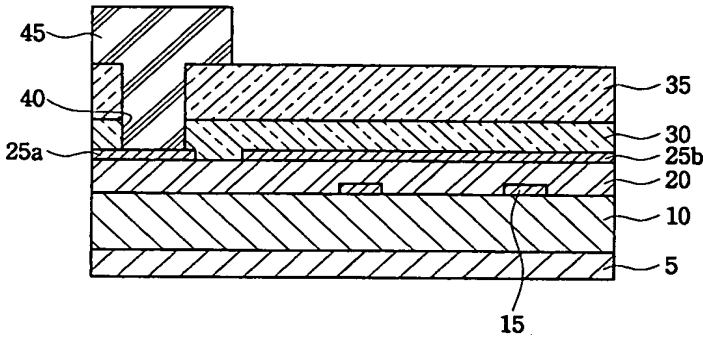
【도면】

【도 1a】

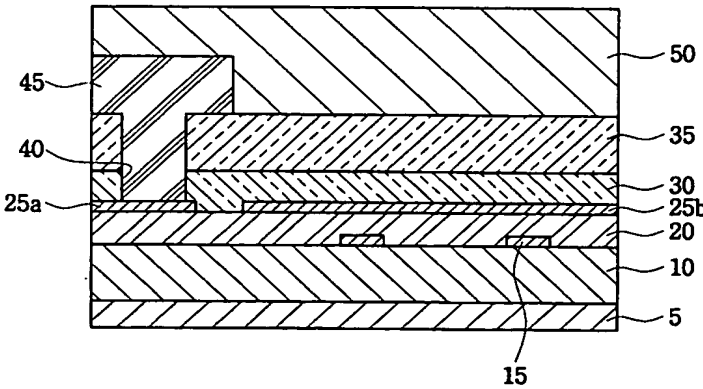
60



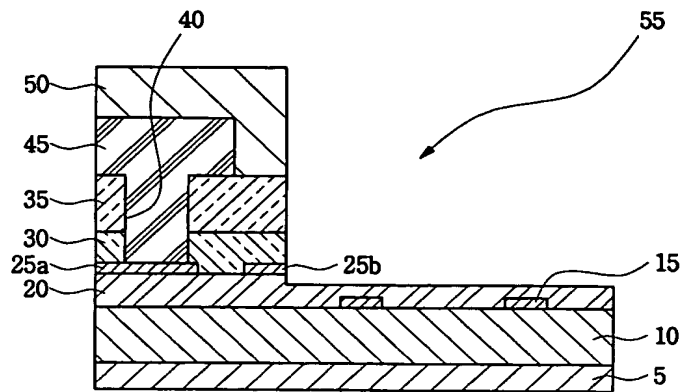
【도 1b】



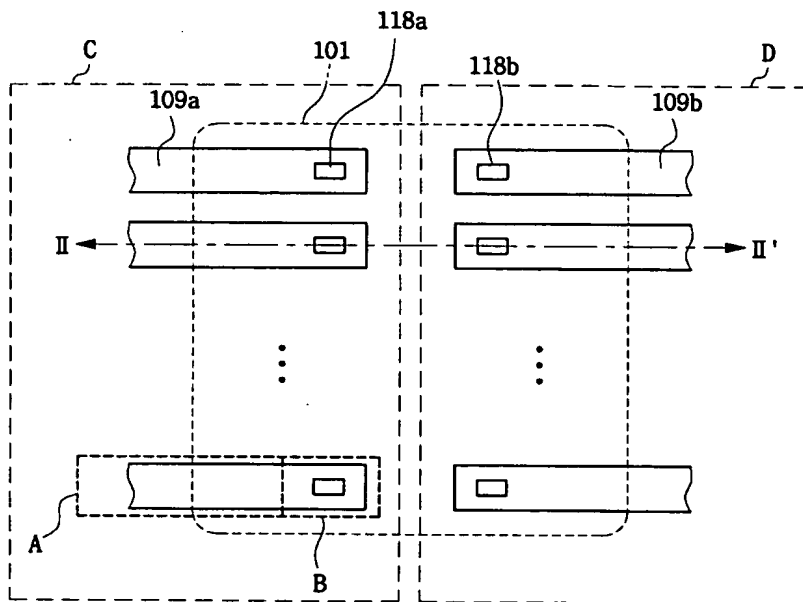
【도 1c】



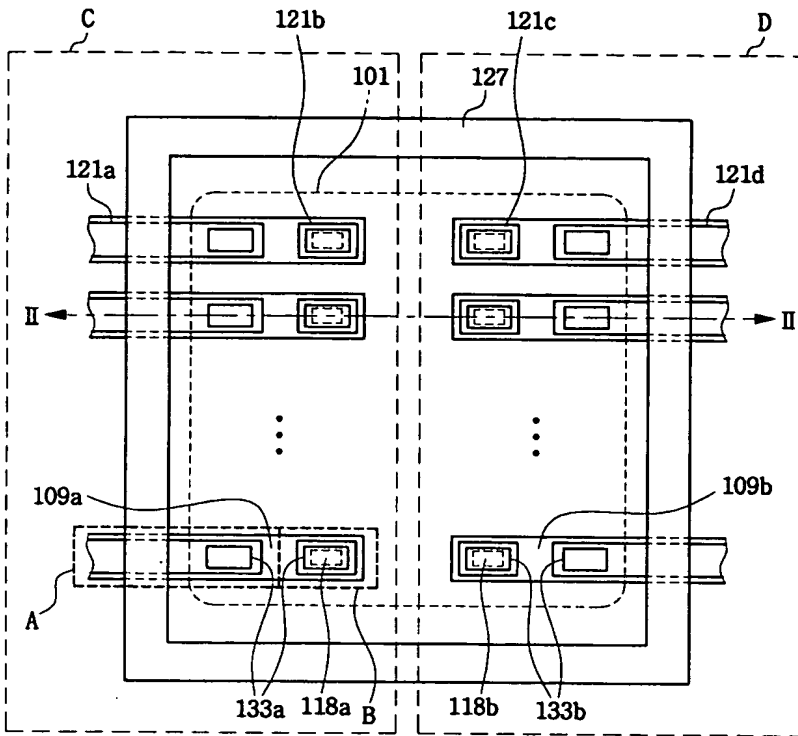
【도 1d】



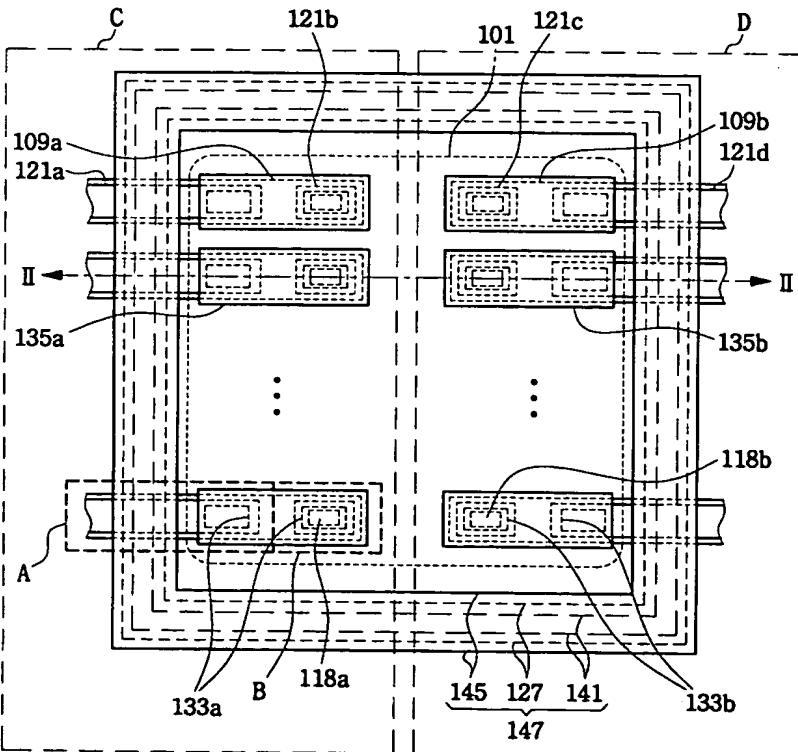
【도 2a】



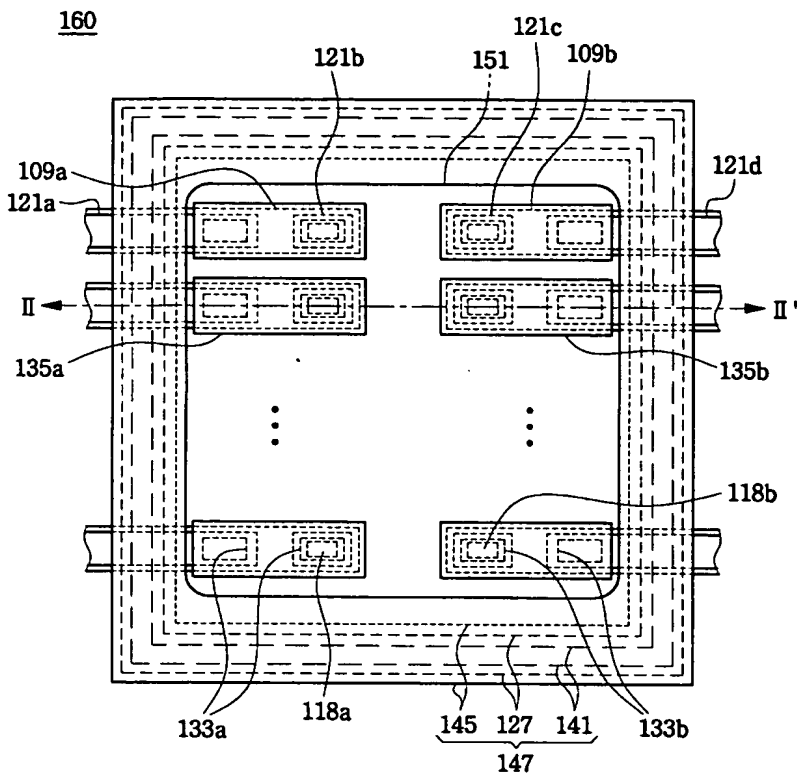
【도 2b】



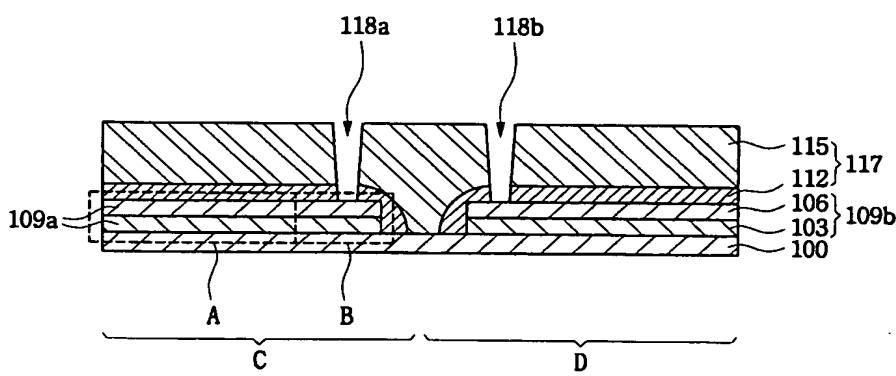
【도 2c】



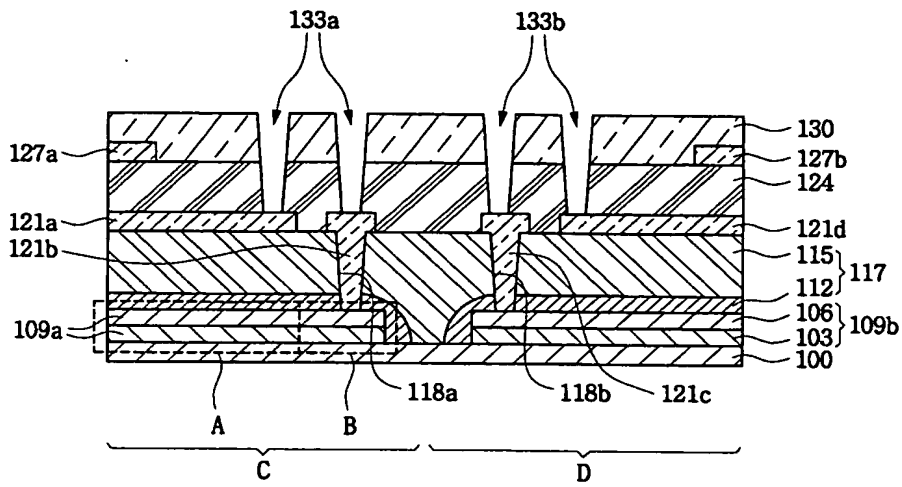
【도 2d】



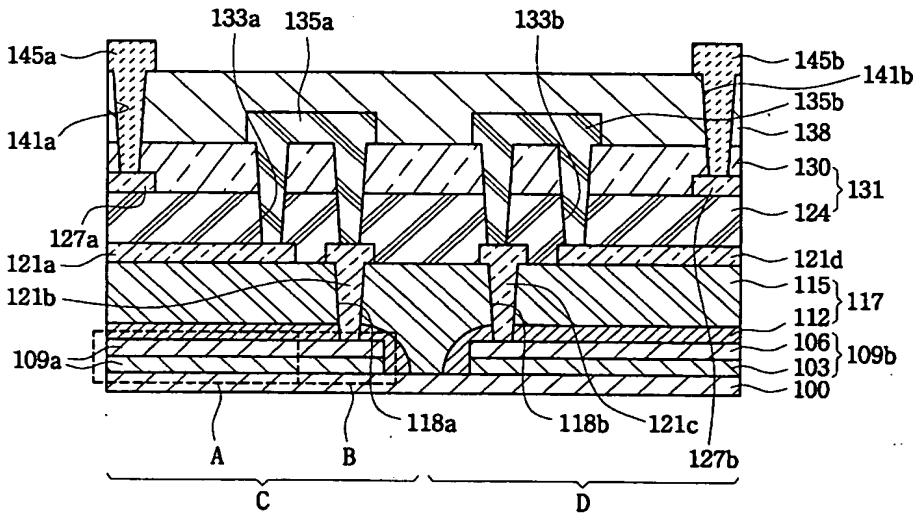
【도 3a】



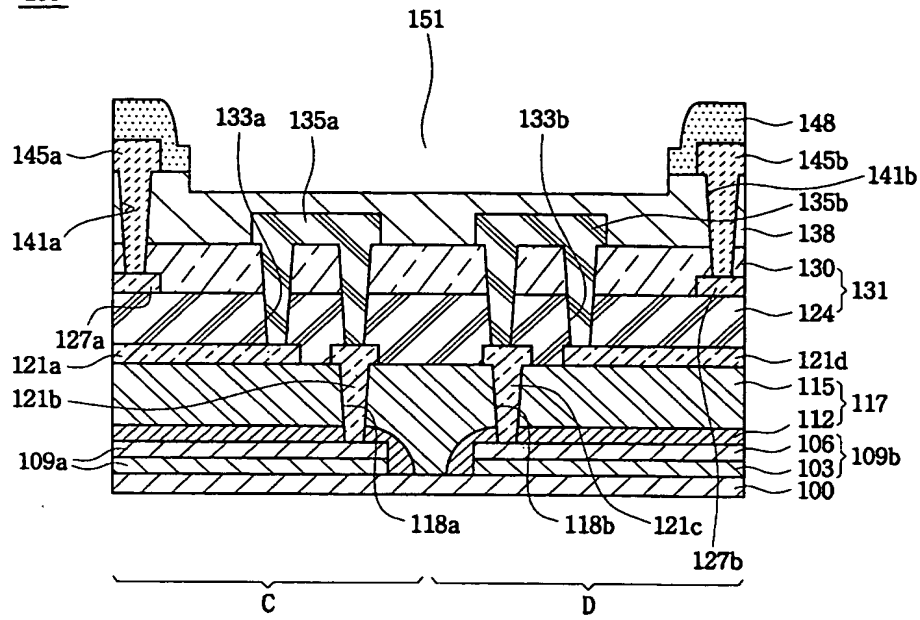
【도 3b】



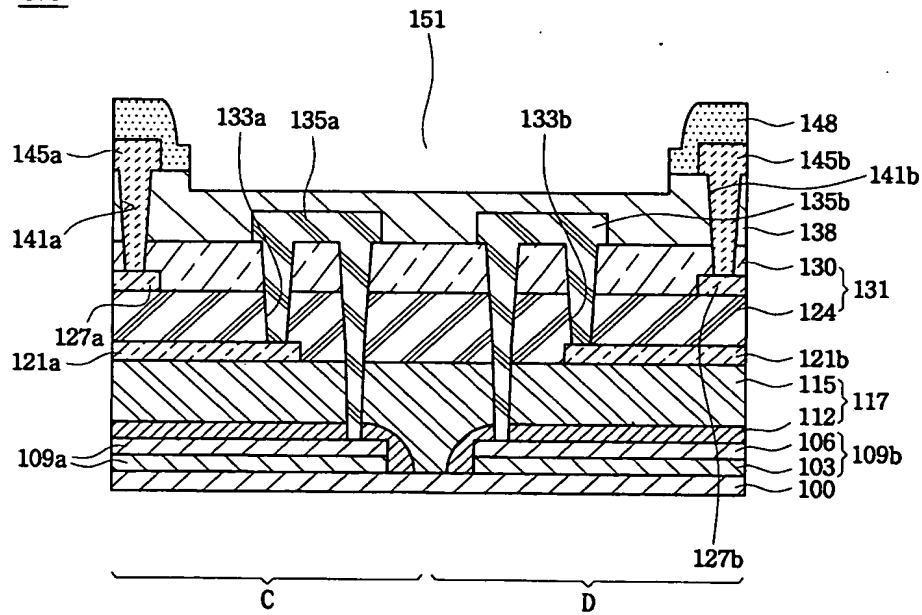
【도 3c】



【도 3d】

160

【도 3e】

170

【도 3f】

180

